

Docket No. 242451US2S/hyc



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Tomoharu TANAKA

GAU: 2816

SERIAL NO: 10/656,254

EXAMINER:

FILED: September 8, 2003

FOR: DELAY CIRCUIT HAVING FUNCTION OF FILTER CIRCUIT

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS  
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
JAPAN	2003-192232	July 4, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number  
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
- ☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McLELLAND,  
MAIER & NEUSTADT, P.C.

Marvin J. Spivak

Registration No. 24,913

Customer Number

22850

Tel. (703) 413-3000  
Fax. (703) 413-2220  
(OSMMN 05/03)

10/656,254  
035 0347

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年    7 月    4 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 1 9 2 2 3 2  
Application Number:

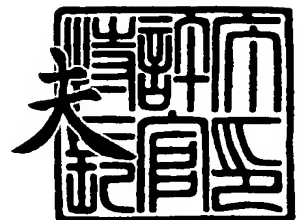
[ST. 10/C]:                      [ J P 2 0 0 3 - 1 9 2 2 3 2 ]

出      願      人                      株式会社東芝  
Applicant(s):

2 0 0 3 年    9 月    2 日

特許庁長官  
Commissioner,  
Japan Patent Office

今 井 康



出証番号    出証特 2 0 0 3 - 3 0 7 1 5 7 9

【書類名】 特許願

【整理番号】 A000301052

【提出日】 平成15年 7月 4日

【あて先】 特許庁長官 殿

【国際特許分類】 H03K 5/13

【発明の名称】 遅延回路

【請求項の数】 7

【発明者】

    【住所又は居所】 神奈川県川崎市幸区小向東芝町 1 番地 株式会社東芝マ  
                        イクロエレクトロニクスセンター内

    【氏名】 田中 智晴

【特許出願人】

    【識別番号】 000003078

    【氏名又は名称】 株式会社 東芝

【代理人】

    【識別番号】 100058479

    【弁理士】

    【氏名又は名称】 鈴江 武彦

    【電話番号】 03-3502-3181

【選任した代理人】

    【識別番号】 100091351

    【弁理士】

    【氏名又は名称】 河野 哲

【選任した代理人】

    【識別番号】 100088683

    【弁理士】

    【氏名又は名称】 中村 誠

## 【選任した代理人】

【識別番号】 100108855

【弁理士】

【氏名又は名称】 蔵田 昌俊

## 【選任した代理人】

【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

## 【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

## 【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

## 【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 遅延回路

【特許請求の範囲】

【請求項 1】 第 1 の電源と第 1 のノードの間に接続され、入力信号に応じてスイッチングされる第 1 のスイッチと、

電流通路の一端が前記第 1 のノードに接続され、前記入力信号に応じてスイッチングされる第 2 のスイッチと、

前記第 2 のスイッチの電流通路の他端と第 2 の電源との間に接続され、定電流からなる制御信号に応じて定電流を流す第 3 のスイッチと、

前記第 1 のノードと前記第 2 の電源との間に接続されキャパシタと、

第 1 の入力端に前記第 1 のノードの電位が供給され、第 2 の入力端に前記制御信号に応じた電位が供給され、前記第 1 のノードの電位と前記制御信号に応じた電位とを比較し、出力端子から出力信号を出力する差動増幅器と

を具備することを特徴とする遅延回路。

【請求項 2】 前記差動増幅器は、

電流通路の一端に前記第 1 の電源が供給される第 4 のスイッチと、

電流通路の一端が前記第 4 のスイッチの他端に接続され電流通路の他端が前記第 2 の電源に接続され、ゲートが前記第 1 の入力端に接続された第 5 のスイッチと、

電流通路の一端に前記第 1 の電源が供給され、ゲートが前記第 4 のスイッチのゲート及び前記第 4 のスイッチの電流通路の他端に接続された第 6 のスイッチと、

電流通路の一端が前記第 6 のスイッチの他端に接続され電流通路の他端が前記第 2 の電源に接続され、ゲートが前記第 2 の入力端に接続された第 5 のスイッチと

を具備することを特徴とする請求項 1 記載の遅延回路。

【請求項 3】 第 1 のカレントミラー回路と、

電流通路の一端が前記第 1 の電源に接続され、ゲートが前記第 1 のカレントミラー回路の出力ノードに接続された第 7 のスイッチと、

電流通路の一端が前記第 7 のスイッチの他端に接続され、他端が前記第 2 の電源に接続され、ゲートが前記第 7 のスイッチの他端、前記第 3 のスイッチのゲート、及び前記差動増幅器の第 2 の入力端に接続され、第 2 のカレントミラー回路を構成する第 8 のスイッチと

を含む定電流源回路をさらに具備することを特徴とする請求項 1 記載の遅延回路。

【請求項 4】 第 1 の電源と第 1 のノードのスイッチングを行う第 1 のスイッチと、

第 2 の電源と前記第 1 のノードのスイッチングを行う第 2 のスイッチと、

前記第 1 のノードに一端が接続されるキャパシタと、

定電流出力端子を有する定電流源と、

前記定電流出力端子にドレインとゲートが共通接続され、ソースが前記第 1 の電源に接続される第 1 の第 1 タイプ MOS トランジスタと、

前記第 1 のノードと前記定電流出力端子の電圧を比較し、比較結果を第 1 の出力端子に出力するカレントミラー型差動増幅器と

を具備することを特徴とする遅延回路。

【請求項 5】 前記差動増幅器は、ソースが前記第 2 の電源に共通接続され、ゲートが共通接続される第 1、第 2 の第 2 タイプ MOS トランジスタと、ソースが前記第 1 の電源に共通接続され、ゲートがそれぞれ前記第 1 のノードと前記定電流出力端子に接続される第 2、第 3 の第 1 タイプ MOS トランジスタとにより構成され、前記第 1 の第 2 タイプ MOS トランジスタのドレインは前記第 2 の第 1 タイプ MOS トランジスタのドレインに接続され、前記第 2 の第 2 タイプ MOS トランジスタのドレインは前記第 3 の第 1 タイプ MOS トランジスタのドレインに接続され、前記第 1 の第 2 タイプ MOS トランジスタのドレインはさらにそのゲートに接続されることを特徴とする請求項 4 記載の遅延回路。

【請求項 6】 前記第 1 のスイッチは第 4、第 5 の第 1 タイプ MOS トランジスタが直列接続されて構成され、前記第 5 の第 1 タイプ MOS トランジスタのゲートは前記定電流出力端子に接続されることを特徴とする請求項 4 又は 5 記載の遅延回路。

【請求項7】 前記第2のスイッチは第3の第2タイプMOSトランジスタを含み、前記第3の第2タイプMOSトランジスタのゲートと前記第4の第1タイプMOSトランジスタのゲートは共通接続されることを特徴とする請求項6記載の遅延回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、例えば半導体メモリなどの半導体装置に適用され、例えばノイズを除去するフィルタとしての機能を有する遅延回路に関する。

【0002】

【従来の技術】

半導体装置においては、種々の遅延時間を有する遅延回路が使われる。半導体装置において、もっとも典型的な遅延回路は、複数のインバータ回路により構成されたインバータ・チェーンである。1つのインバータ回路が有する遅延時間を1nsecとすると、10個のインバータ回路により構成されたインバータ・チェーンは10nsecの遅延時間を得ることができる。しかし、インバータ回路の特性は、電源電圧や温度、インバータ回路を構成するトランジスタの加工精度によって変化する。このため、インバータ・チェーン・タイプの遅延回路の遅延時間は、時として大きくばらつく。また、抵抗素子とキャパシタを組み合わせたRC時定数を用いたタイプの遅延回路もある。しかし、この遅延回路も、抵抗素子やキャパシタの加工精度や温度によってその遅延時間がばらつく。

【0003】

近年、遅延回路を構成するトランジスタの加工ばらつきや電源電圧の変化、温度変化を補償することにより、安定した遅延時間が得られるように改良された遅延回路が提案されている（特許文献1、特許文献2、特許文献3参照）。さらに、電源電圧の上昇に伴い遅延時間が短くなる遅延回路が開発されている（特許文献4）。

【0004】

【特許文献1】

特開平 8 - 7 0 2 4 2 号公報

【 0 0 0 5 】

【特許文献 2】

米国特許第 5 6 2 7 4 8 8 号明細書

【 0 0 0 6 】

【特許文献 3】

米国特許第 5 9 6 9 5 5 7 号明細書

【 0 0 0 7 】

【特許文献 4】

特開平 8 - 1 9 0 7 9 8 号公報

【 0 0 0 8 】

【発明が解決しようとする課題】

半導体装置は、その電源電圧が低下するに従い従来の遅延回路では安定な遅延時間が得られなくなりつつある。すなわち、遅延回路を構成するインバータ回路などの論理回路や、遅延信号を出力するための出力回路自体の遅延が顕在化し、遅延回路自体が安定でも、結果として得られる遅延時間が電源電圧によって大きくばらつく。

【 0 0 0 9 】

本発明は、上記課題を解決するためになされたものであり、その目的とするところは、電源電圧に依存せず安定な遅延時間を得ることが可能な遅延回路を提供しようとするものである。

【 0 0 1 0 】

【課題を解決するための手段】

本発明の一態様の遅延回路は、上記課題を解決するため、第 1 の電源と第 1 のノードの間に接続され、入力信号に応じてスイッチングされる第 1 のスイッチと、電流通路の一端が前記第 1 のノードに接続され、前記入力信号に応じてスイッチングされる第 2 のスイッチと、前記第 2 のスイッチの電流通路の他端と第 2 の電源との間に接続され、一定の電流からなる制御信号に応じて定電流を流す第 3 のスイッチと、前記第 1 のノードと前記第 2 の電源との間に接続されキャパシタ



と、第1の入力端に前記第1のノードの電位が供給され、第2の入力端に前記制御信号に応じた電位が供給され、前記第1のノードの電位と前記制御信号に応じた電位とを比較し、出力端子から出力信号を出力する差動増幅器とを具備している。

#### 【0011】

前記差動増幅器は、電流通路の一端に前記第1の電源が供給される第4のスイッチと、電流通路の一端が前記第4のスイッチの他端に接続され電流通路の他端が前記第2の電源に接続され、ゲートが前記第1の入力端に接続された第5のスイッチと、電流通路の一端に前記第1の電源が供給され、ゲートが前記第4のスイッチのゲート及び前記第4のスイッチの電流通路の他端に接続された第6のスイッチと、電流通路の一端が前記第6のスイッチの他端に接続され電流通路の他端が前記第2の電源に接続され、ゲートが前記第2の入力端に接続された第5のスイッチとを具備している。

#### 【0012】

また、前記遅延回路は、第1のカレントミラー回路と、電流通路の一端が前記第1の電源に接続され、ゲートが前記第1のカレントミラー回路の出力ノードに接続された第7のスイッチと、電流通路の一端が前記第7のスイッチの他端に接続され、他端が前記第2の電源に接続され、ゲートが前記第7のスイッチの他端、前記第3のスイッチのゲート、及び前記差動増幅器の第2の入力端に接続され、第2のカレントミラー回路を構成する第8のスイッチとを含む定電流源回路をさらに具備している。

#### 【0013】

さらに、本発明の他の態様の遅延回路は、第1の電源と第1のノードのスイッチングを行う第1のスイッチと、第2の電源と前記第1のノードのスイッチングを行う第2のスイッチと、前記第1のノードに一端が接続されるキャパシタと、定電流出力端子を有する定電流源と、前記定電流出力端子にドレインとゲートが共通接続され、ソースが前記第1の電源に接続される第1の第1タイプMOSトランジスタと、前記第1のノードと前記定電流出力端子の電圧を比較し、比較結果を第1の出力端子に出力するカレントミラー型差動増幅器とを具備している。

## 【0014】

## 【発明の実施の形態】

以下、本発明の実施の形態について図面を参照して説明する。

## 【0015】

図1、図2は、本発明の実施形態を示す図である。図1は、遅延回路10を示し、図2は遅延回路10に定電流を供給する定電流源回路20を示している。ここで、 $Q_n$ の符号が付されたトランジスタはNMOSトランジスタである。 $Q_{ni}$ の符号が付されたトランジスタもNMOSトランジスタであるが、トランジスタ $Q_n$ より低い閾値を有している。また、 $Q_p$ の符号が付されたトランジスタはPMOSトランジスタである。 $Q_{pi}$ の符号が付されたトランジスタもPMOSトランジスタであるが、トランジスタ $Q_p$ より高い閾値を有している。すなわち、トランジスタ $Q_{ni}$ 、 $Q_{pi}$ は、ほぼ0Vの閾値電圧を有している。

## 【0016】

図1において、ナンド回路G1の入力端には、入力信号INと制御信号PONが供給される。制御信号PONは、例えば半導体装置に電源が投入され、半導体装置内の電源電圧が所定のレベルに達した時に発生される信号である。電源電圧VCCが供給される端子と接地間には、PMOSトランジスタ $Q_{p1}$ 、NMOSトランジスタ $Q_{n1}$ 、及びトランジスタ $Q_{ni1}$ が直列接続されている。ナンド回路G1の出力端は、インバータ回路11を構成するPMOSトランジスタ $Q_{p1}$ 、NMOSトランジスタ $Q_{n1}$ のゲートに接続されている。NMOSトランジスタ $Q_{ni1}$ のゲートには、定電流源回路20から供給される信号IREFが供給されている。NMOSトランジスタ $Q_{ni1}$ は信号IREFに応じて定電流を流す。PMOSトランジスタ $Q_{p1}$ とNMOSトランジスタ $Q_{n1}$ との接続ノードMONと接地間にはキャパシタC1が接続されている。

## 【0017】

入力信号INと制御信号PONが共にハイレベルである場合、ナンド回路G1の出力信号はローレベルとなり、PMOSトランジスタ $Q_{p1}$ が導通する。このため、接続ノードMONに接続されたキャパシタC1が電源電圧VCCにより充電される。また、ナンド回路G1の入力信号INあるいは制御信号PONがロー

レベルである場合、ナンド回路G1の出力信号はハイレベルとなる。このため、NMOSトランジスタQn1が導通する。信号IREFによりNMOSトランジスタQni1が導通すると、キャパシタC1に充電された電荷が放電され、接続ノードMONから接地電位に向かって定電流が流れる。

#### 【0018】

一方、カレントミラー型差動増幅器12はNMOSトランジスタQni2、Qni3、PMOSトランジスタQpi1、Qpi2により構成されている。PMOSトランジスタQp2、NMOSトランジスタQn2、ナンド回路G2、インバータ回路INV1は差動増幅器12の動作／非動作を制御する。PMOSトランジスタQp2は電源電圧VCCの供給端子とPMOSトランジスタQpi1、Qpi2の一端部との間に接続されている。このPMOSトランジスタQp2のゲートには前記ナンド回路G2の出力信号が供給されている。このナンド回路G2の一方入力端には、前記ナンド回路G1の出力信号が供給され、他方入力端には後述する信号OUTが供給されている。PMOSトランジスタQpi1、Qpi2の他端は、NMOSトランジスタQni2、Qni3の一端部にそれぞれ接続されている。さらに、PMOSトランジスタQpi1、Qpi2のゲートは、互いに接続されるとともに、PMOSトランジスタQpi1、NMOSトランジスタQni2の接続ノードに接続されている。NMOSトランジスタQni2のゲートは前記接続ノードMONに接続され、NMOSトランジスタQni3のゲートには、前記信号IREFが供給されている。前記NMOSトランジスタQni2、Qni3の他端部と接地間には、前記NMOSトランジスタQn2が接続され、このNMOSトランジスタQn2のゲートには、前記インバータ回路INV1を介して前記ナンド回路G2の出力信号が供給される。

#### 【0019】

上記差動増幅器12は、前記入力信号INあるいはPONのどちらかがローレベルで、且つ、信号OUTがハイレベルのとき、動作状態となる。すなわち、このとき、ナンド回路G2の出力信号がローレベルとなり、PMOSトランジスタQp2とNMOSトランジスタQn2が導通される。この状態において、差動増幅器12は、接続ノードMONの電位と信号IREFに応じた電位との電位差を

検出し、この検出結果をPMOSトランジスタ $Q_{pi2}$ とNMOSトランジスタ $Q_{ni3}$ との接続ノードAMPoutに出力する。

#### 【0020】

前記接続ノードAMPoutには、ラッチ回路13が接続されている。このラッチ回路13は、PMOSトランジスタ $Q_{p3}$ 、 $Q_{pi3}$ 、 $Q_{p4}$ 、NMOSトランジスタ $Q_{n3}$ 、 $Q_{n4}$ 、 $Q_{n5}$ により構成されている。前記PMOSトランジスタ $Q_{p3}$ 、NMOSトランジスタ $Q_{n3}$ 、 $Q_{n4}$ は、電源電圧VCCの供給端子と接地間に直列接続されている。PMOSトランジスタ $Q_{p3}$ 、NMOSトランジスタ $Q_{n3}$ のゲートは、前記ナンド回路G1の出力端に接続されている。PMOSトランジスタ $Q_{p3}$ 、NMOSトランジスタ $Q_{n3}$ の接続ノードは、前記接続ノードAMPoutに接続されるとともに、前記PMOSトランジスタ $Q_{pi3}$ 、NMOSトランジスタ $Q_{n5}$ のゲートに接続される。これらトランジスタ $Q_{pi3}$ 、 $Q_{n5}$ は、電源電圧VCCの供給端子と接地間に直列接続されている。これらトランジスタ $Q_{pi3}$ 、 $Q_{n5}$ の接続ノードINVoutは、前記NMOSトランジスタ $Q_{n4}$ のゲートに接続されるとともに、前記PMOSトランジスタ $Q_{p4}$ を介して電源電圧VCCの供給端子に接続されている。このトランジスタ $Q_{p4}$ のゲートには、制御信号PONが供給されている。さらに、前記接続ノードINVoutはインバータ回路INV2の入力端に接続されている。このインバータ回路INV2の出力端から前記信号OUTが出力される。

#### 【0021】

上記ラッチ回路13において、入力信号INと制御信号PONが共にハイレベルのとき、ナンド回路G1の出力信号はローレベルとなり、PMOSトランジスタ $Q_{p3}$ が導通する。このため、接続ノードAMPoutはハイレベルとなり、接続ノードINVoutはローレベルとなる。この結果、インバータ回路INV2の出力信号OUTはハイレベルとなる。このときNMOSトランジスタ $Q_{n4}$ は非導通である。

#### 【0022】

一方、前記入力信号INか制御信号PONのどちらかがローレベルである場合、ナンド回路G1の出力信号がハイレベルとなる。このため、NMOSトランジ

スタ  $Q_{n3}$  が導通する。仮に、接続ノード  $INV_{out}$  がハイレベルである場合、NMOS トランジスタ  $Q_{n4}$  も導通しているため、トランジスタ  $Q_{n3}$ 、 $Q_{n4}$  により、接続ノード  $AMP_{out}$  がローレベルに引き下げられる。このため、接続ノード  $AMP_{out}$  がローレベル、接続ノード  $INV_{out}$  がハイレベルの状態にラッチされる。なお、このラッチ状態は、制御信号  $PON$  がローレベルである場合、PMOS トランジスタ  $Q_{p4}$  が導通するため、簡単に作ることができる。すなわち、制御信号  $PON$  は、電源投入前ローレベルである。このため、トランジスタ  $Q_{p4}$  は導通され、接続ノード  $INV_{out}$  はハイレベル、出力信号  $OUT$  はローレベルにリセットされている。この状態において、電源投入後に、制御信号  $PON$  がハイレベルになると、PMOS トランジスタ  $Q_{p4}$  は非導通となり、遅延回路 10 の出力信号  $OUT$  は入力信号  $IN$  に応じて変化する。

#### 【0023】

図 2 に示す定電流源回路 20 は、2 つのカレントミラー回路 21、22 を有している。カレントミラー回路 21 は、PMOS トランジスタ  $Q_{pi4}$ 、 $Q_{pi5}$ 、NMOS トランジスタ  $Q_{n6}$ 、 $Q_{ni4}$ 、及び抵抗  $R1$  により構成されている。すなわち、PMOS トランジスタ  $Q_{pi4}$ 、NMOS トランジスタ  $Q_{n6}$  は電源電圧  $VCC$  の供給端子と接地間に直列接続され、PMOS トランジスタ  $Q_{pi5}$ 、 $Q_{ni4}$ 、及び抵抗  $R1$  は、電源電圧  $VCC$  の供給端子と接地間に直列接続されている。PMOS トランジスタ  $Q_{pi4}$ 、 $Q_{pi5}$  のゲートは互いに接続され、さらに、PMOS トランジスタ  $Q_{pi5}$  と  $Q_{ni4}$  の接続ノード  $N1$ 、及び PMOS トランジスタ  $Q_{pi6}$  のゲートに接続されている。また、前記 NMOS トランジスタ  $Q_{n6}$ 、 $Q_{ni4}$  のゲートは互いに接続され、さらに、前記 PMOS トランジスタ  $Q_{pi4}$  と NMOS トランジスタ  $Q_{n6}$  との接続ノード  $N2$  に接続されている。

#### 【0024】

また、前記カレントミラー回路 22 を構成する PMOS トランジスタ  $Q_{pi6}$  と NMOS トランジスタ  $Q_{ni5}$  は、電源電圧  $VCC$  の供給端子と接地間に直列接続されている。PMOS トランジスタ  $Q_{pi6}$  のゲートは NMOS トランジスタ  $Q_{n7}$  を介して接地される。この NMOS トランジスタ  $Q_{n7}$  のゲートにはイ

ンバータ回路 INV3 を介して制御信号 PON が供給される。前記 PMOS トランジスタ Qpi6 と NMOS トランジスタ Qni5 の接続ノードは NMOS トランジスタ Qni5 のゲートに接続され、このゲートは、図 1 に示すトランジスタ Qni1 及び Qni3 のゲートに接続されている。このゲートより定電流出力としての前記信号 IREF が出力される。

#### 【0025】

上記構成において、カレントミラー回路 21 を構成する PMOS トランジスタ Qpi5 に流れる電流 Ib は、PMOS トランジスタ Qpi4 に流れる電流 Ia にミラーされる。このため、電流 Ia と電流 Ib は等しい ( $I_a = I_b$ )。さらに、NMOS トランジスタ Qn6 を流れる電流 Ia は、NMOS トランジスタ Qni4 に流れる電流 Ib にミラーされる。このため、NMOS トランジスタ Qni4 と抵抗 R1 の接続ノード N3 の電圧は、NMOS トランジスタ Qn6 の閾値電圧から NMOS トランジスタ Qni4 の閾値電圧を引いた値となる。通常、この値は温度や電源電圧に依存しない。しかも、NMOS トランジスタ Qn6 の閾値電圧のばらつきと NMOS トランジスタ Qni4 の閾値電圧が連動するため、非常に安定である。接続ノード N3 の電位が例えば 0.4 V、抵抗 R1 を例えば 400 K $\Omega$  とすると  $I_a = I_b = 1 \mu A$  となる。さらに、PMOS トランジスタ Qpi5 と PMOS トランジスタ Qpi6 はミラー接続されている。このため、PMOS トランジスタ Qpi6 に流れる電流 Ic は電流 Ib と等しくなる ( $I_b = I_c$ )。NMOS トランジスタ Qni5 を流れる電流 Ic は定電流である。よって、NMOS トランジスタ Qni5 とミラー接続された図 1 に示す NMOS トランジスタ Qni1 と Qni3 も定電流 Ic を流す。NMOS トランジスタ Qni5 は、それを流れる電流が Ic となるように信号 IREF に応じた電位が決まる。

#### 【0026】

図 2 に示す定電流源回路 20 は、制御信号 PON によって起動される。すなわち、制御信号 PON がローレベルの時、NMOS トランジスタ Qn7 が導通し、PMOS トランジスタ Qpi5、Qpi6 のゲートが接地電位に引き落とされる。この後、制御信号 PON がハイレベルとなると、NMOS トランジスタ Qn7

が非導通となり、上記動作により信号 IREF は安定点に収束する。

#### 【0027】

図3は、図1に示す遅延回路10の動作を示している。図3を用いて、遅延回路10の動作について説明する。

#### 【0028】

まず、時間  $t_1$  まで信号 PON はローレベルであり、図1に示す遅延回路10及び図2に示す定電流源回路20はリセット状態とされている。このとき、接続ノード MON、接続ノード AMPout、出力信号 OUT は、いずれも接地レベル (0V) であり、接続ノード INVout は電源電圧 VCC となっている。

#### 【0029】

時間  $t_2$  において、入力信号 IN が立ち上がると、PMOS トランジスタ  $Q_{p1}$ 、 $Q_{p3}$  が導通し、少し遅れた時間  $t_3$  において、接続ノード MON と接続ノード AMPout の電位が立ち上がり、電源電圧 VCC に向かい始める。接続ノード AMPout がハイレベルになると、時間  $t_4$  において、接続ノード INVout が立ち下がり、0V に向かい始める。さらに、出力信号 OUT は、接続ノード INVout がローレベルになると、時間  $t_5$  において、電源電圧 VCC に向かい始める。入力信号 IN がハイレベルの間、差動増幅器12は非動作状態である。

#### 【0030】

時間  $t_6$  において、入力信号 IN がローレベルとなると、ナンド回路 G1 の出力信号がハイレベルとなり、NMOS トランジスタ  $Q_{ni1}$  が導通する。このため、キャパシタ C1 により接続ノード MON に蓄えられていた電荷が、NMOS トランジスタ  $Q_{n1}$ 、 $Q_{ni1}$  を介して放電される。NMOS トランジスタ  $Q_{ni1}$  を流れる電流は一定である。このため、図3に示すように、接続ノード MON の電位は、直線状に低下する。また、入力信号 IN がローレベルとなり、ナンド回路 G1 の出力信号がハイレベルとなると、ナンド回路 G2 の出力信号がローレベルとなる。このため、差動増幅器12が動作し、接続ノード MON と信号 IREF に応じた電位  $V_{IREF}$  の電位差を検出する。この結果、接続ノード MON の電位が定電流 IREF により規定される電位  $V_{IREF}$  より低下すると (時

間  $t_7$  以降)、少し遅れた時間  $t_8$  において、接続ノード  $AMP_{out}$  が立ち下がり始める。接続ノード  $AMP_{out}$  の電位がローレベルになると、時間  $t_9$  において、接続ノード  $INV_{out}$  の電位が立ち上がり始める。さらに、出力信号  $OUT$  は、接続ノード  $INV_{out}$  の電位がハイレベルになると、時間  $t_{10}$  において、立ち下がり始める。

#### 【0031】

このようにして、図 1 に示す遅延回路 10 によれば、入力信号  $IN$  がローレベルになってから出力信号  $OUT$  がローレベルになるまでのおよそ ( $t_{10} - t_6$ ) の遅延時間を得ることができる。

#### 【0032】

時間 ( $t_7 - t_6$ ) は、接続ノード  $MON$  が電源電圧  $VCC$  から定電流  $I_{REF}$  に応じて定まる電位  $V_{IREF}$  になるまでの時間ではほぼ決まる。これらの関係は次式のようになる。

#### 【0033】

$$t_7 - t_6 = C_1 \times (VCC - V_{IREF}) / I_c$$

上式より、時間 ( $t_7 - t_6$ ) は電源電圧  $VCC$  が低いほど短いことが分かる。接続ノード  $AMP_{out}$  が時間  $t_8$  から  $0V$  に向かう速度は、NMOS トランジスタ  $Q_{ni3}$  が定電流  $I_c$  を流すためほぼ一定である。接続ノード  $AMP_{out}$  が  $0V$  に向かい始めてから出力信号  $OUT$  がローレベルになるまでの時間は、介在する 2 つのインバータ回路の遅延で決まる。インバータ回路の遅延は、電源電圧が低いほど長い。よって、この遅延回路 10 は、電源電圧  $VCC$  が低くなると時間 ( $t_7 - t_6$ ) が短くなり、インバータ回路の遅延が長くなるのをキャンセルできる。したがって、安定した遅延時間を得ることができる。

#### 【0034】

例えば、常温で、電源電圧  $VCC$  が  $1.8V$ 、 $V_{IREF}$  が  $0.3V$  であると仮定し、時間 ( $t_7 - t_6$ ) =  $7.5nsec$ 、時間 ( $t_8 - t_7$ ) =  $3nsec$ 、時間 ( $t_{10} - t_8$ ) =  $3nsec$  とする。遅延時間 ( $t_{10} - t_6$ ) は、 $13.5nsec$  である。環境温度が常温より低温で、電源電圧  $VCC$  が  $2.0V$  になると、 $V_{IREF}$  が  $0.25V$  となり、時間 ( $t_7 - t_6$ ) は  $8.75n$



s e c、時間 ( $t_8 - t_7$ ) は変わらず、時間 ( $t_{10} - t_8$ ) はインバータ回路の遅延が短くなり  $1.5 \text{ nsec}$  となる。よって、遅延時間は  $13.25 \text{ nsec}$  となる。逆に、環境温度が常温より高温で、電源電圧  $V_{CC}$  が  $1.6 \text{ V}$  になると、 $V_{IREF}$  は  $0.35 \text{ V}$  となり、時間 ( $t_7 - t_6$ ) は  $6.25 \text{ nsec}$ 、時間 ( $t_8 - t_7$ ) は変わらず、時間 ( $t_{10} - t_8$ ) はインバータ回路の遅延が長くなり  $6 \text{ nsec}$  となる。よって遅延時間は  $15.25 \text{ nsec}$  となる。さらに、NMOS トランジスタの閾値電圧が  $\pm 50 \text{ mV}$  ぶれるとする。すると、 $V_{IREF}$  も  $\pm 50 \text{ mV}$  ぶれる。このため、時間 ( $t_7 - t_6$ ) は  $\pm 0.25 \text{ nsec}$  変化する。よって、遅延時間は、最小  $13 \text{ nsec}$ 、最大  $15.5 \text{ nsec}$  となる。

#### 【0035】

信号  $IREF$  の代わりに、固定電位を NMOS トランジスタ  $Q_{ni3}$  のゲートに供給したと仮定する。トランジスタ  $Q_{ni3}$  の閾値電圧が上昇した時、NMOS トランジスタ  $Q_{ni3}$  が流せる電流が減り  $t_7$  から  $t_8$  の間の時間が長くなる。これによって、遅延時間が不安定となる。

#### 【0036】

例えば、 $V_{IREF}$  が  $0.3 \text{ V}$  の固定電位であるとする。常温で、電源電圧  $V_{CC}$  が  $1.8 \text{ V}$  として、 $t_7 - t_6 = 7.5 \text{ nsec}$ 、 $t_8 - t_7 = 3 \text{ nsec}$ 、 $t_{10} - t_8 = 3 \text{ nsec}$  とする。遅延時間  $t_{10} - t_6$  は  $13.5 \text{ nsec}$  である。常温より低い温において、電源電圧  $V_{CC}$  が  $2.0 \text{ V}$  となると、 $t_7 - t_6 = 8.5 \text{ nsec}$ 、 $t_8 - t_7 = 1.5 \text{ nsec}$ 、 $t_{10} - t_8$  はインバータ回路の遅延が短くなるため、 $1.5 \text{ nsec}$  となる。よって遅延時間は  $11.5 \text{ nsec}$  となる。逆に、高温となると、電源電圧  $V_{CC}$  が低くなり  $1.6 \text{ V}$  となると、 $t_7 - t_6 = 6.5 \text{ nsec}$ 、 $t_8 - t_7$  は長くなり  $6 \text{ nsec}$ 、 $t_{10} - t_8$  はインバータ回路の遅延が長くなり  $6 \text{ nsec}$  となる。よって、遅延時間は  $18.5 \text{ nsec}$  となる。さらに、NMOS トランジスタの閾値電圧が  $\pm 50 \text{ mV}$  ぶれるとすると、遅延時間のばらつきは更に大きくなる。

#### 【0037】

よって、固定電圧により、差動増幅器 12 を構成する PMOS トランジスタ  $Q$

p i 3 を制御した場合、遅延時間が  $11.5 \text{ nsec}$  から  $18.5 \text{ nsec}$  までばらつく。これに対して、図 1 に示すように、定電流で PMOS トランジスタ Q p i 3 を制御した場合、遅延時間のばらつきを  $13.0 \text{ nsec}$  から  $15.5 \text{ nsec}$  の比較的狭いレンジに収めることができる。

#### 【0038】

上記実施形態によれば、入力信号 I N に応じて動作するインバータ回路 11 に接続された NMOS トランジスタ Q n i 1 は、定電流源回路 20 から供給される定電流 I R E F により駆動され、キャパシタ C 1 に充電された電荷を定電流で放電する。このため、インバータ回路 11 の接続ノード M O N の電位は一定の速度で低下する。また、差動増幅器 12 は、接続ノード M O N の電位と、定電流源回路 20 から供給される定電流 I R E F に応じた電位 V I R E F とを比較し、この比較結果を接続ノード A M P o u t から出力する。このように、キャパシタ C 1 の放電時間及び差動増幅器 12 の基準電位としての電位 V I R E F を定電流源回路 20 から供給される定電流 I R E F により制御している。このため、C R 時定数回路を用いた遅延回路や、インバータ・チェーン・タイプの遅延回路に比べて、電源電圧の変動に対する遅延時間の変動の影響を低減できる。

#### 【0039】

しかも、差動増幅器 12 から出力される信号の電源電圧の変動に依存した遅延時間のばらつきは、接続ノード A M P o u t に接続されるインバータ回路が有する電源電圧の変動に依存した遅延時間のばらつきと逆の特性を有している。このため、遅延回路 10 全体の遅延時間のばらつきを低減できる利点を有している。

#### 【0040】

図 4 は、図 1 に示す遅延回路 10 を用いたノイズフィルタの一例を示している。例えば半導体装置の入力パッド 31 には、前記遅延回路 10 の入力端が接続されている。図 4 において、定電流源回路 20 は省略している。この遅延回路 10 の出力端及び前記入力パッド 31 はノア回路 32 の入力端に接続されている。このノア回路 32 の出力端はインバータ回路 33 に接続されている。

#### 【0041】

上記構成において、図 5 に示すよう遅延回路 10 に設定された遅延時間 D L T

よりパルス幅が広い入力信号 I N が入力パッド 31 に供給された場合、遅延回路 10 からは、信号 D O が出力される。この信号 D O の立ち下がりは、入力信号 I N の立ち下がりから遅延時間 D L T に応じて遅れている。インバータ回路 33 の出力信号 O U T は、遅延回路 D L の出力信号 D O と入力信号 I N に応じて、出力信号 D O と同様の信号となる。

#### 【0042】

一方、図 6 に示すように、入力信号 I N として、遅延時間 D L T より短い幅のノイズが入力パッド 31 に供給された場合、遅延回路 10 の出力信号 D O は変化しない。このため、遅延回路 10 の出力信号 D O 及びインバータ回路 33 の出力信号 O U T は共にハイレベルのままであり、ノイズをとしての入力信号を除去することができる。

#### 【0043】

その他、本発明の要旨を変えない範囲において種々変形実施可能なことは勿論である。

#### 【0044】

##### 【発明の効果】

以上、詳述したように本発明によれば、電源電圧に依存せず安定な遅延時間を得ることが可能な遅延回路を提供できる。

##### 【図面の簡単な説明】

##### 【図 1】

本発明の実施形態に係わる遅延回路の構成を示す回路図。

##### 【図 2】

図 1 に示す回路に適用される定電流源回路を示す回路図。

##### 【図 3】

図 1 に示される遅延回路の動作タイミングを示す波形図。

##### 【図 4】

本発明が適用されるノイズフィルタ回路を示す回路図。

##### 【図 5】

図 4 の動作を示す波形図。

## 【図 6】

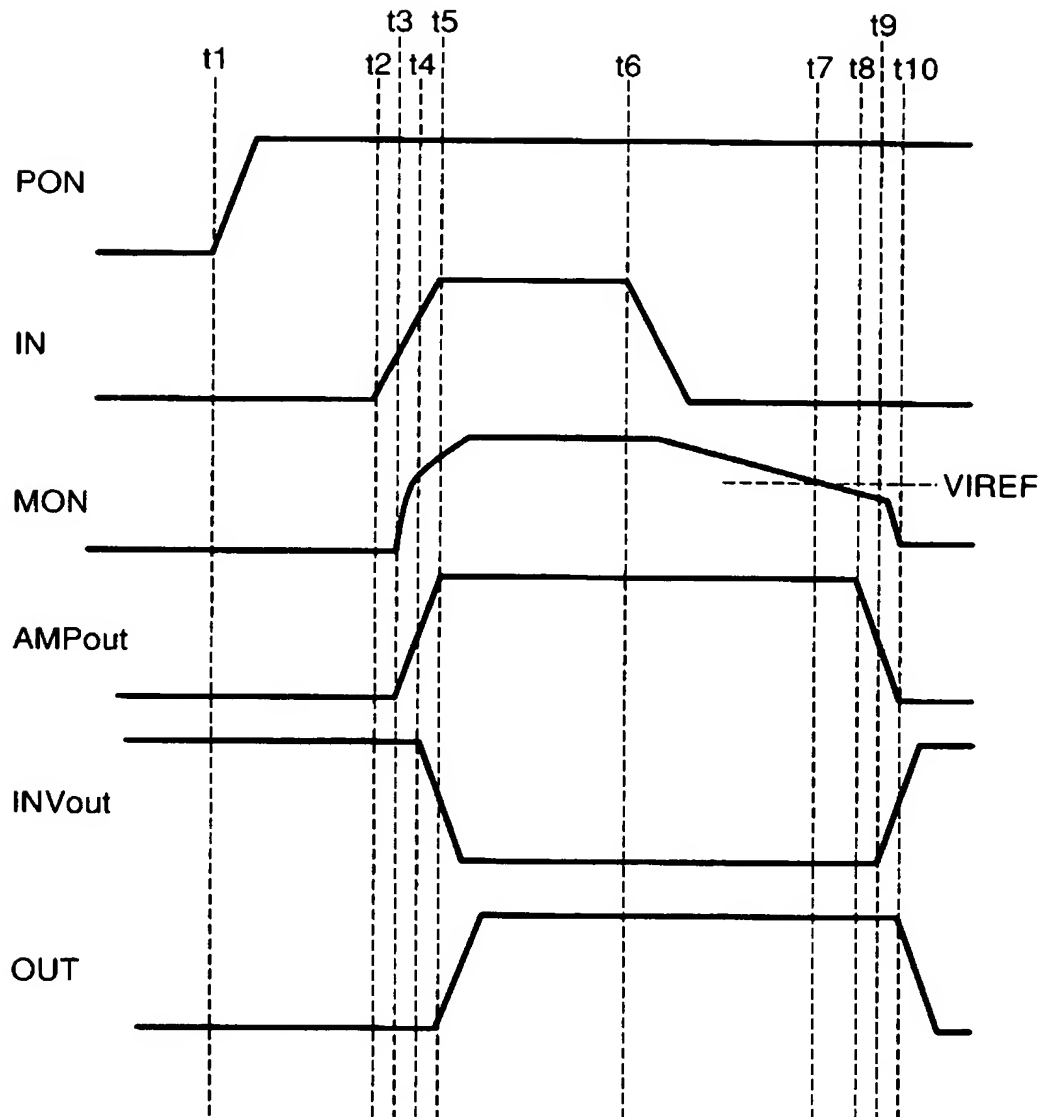
図 4 の異なる動作を示す波形図。

## 【符号の説明】

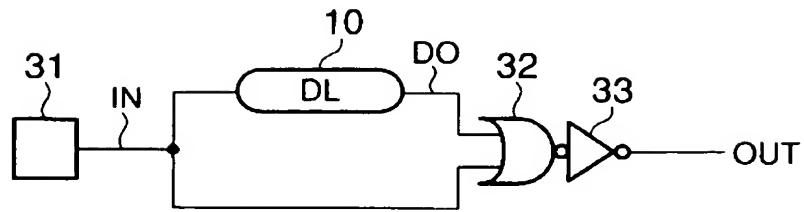
10…遅延回路、11…インバータ回路、12…カレントミラー型差動増幅器、13 ラッチ回路、20…定電流源回路、21、22…カレントミラー回路。  
Qn1～Qn7…比較的高い閾値を持つ NMOS トランジスタ、Qni1～Qni5…比較的低い閾値を持つ NMOS トランジスタ、Qp1～Qp4…比較的高い閾値を持つ PMOS トランジスタ、Qpi1～Qpi6…比較的低い閾値を持つ PMOS トランジスタ、C1…キャパシタ。



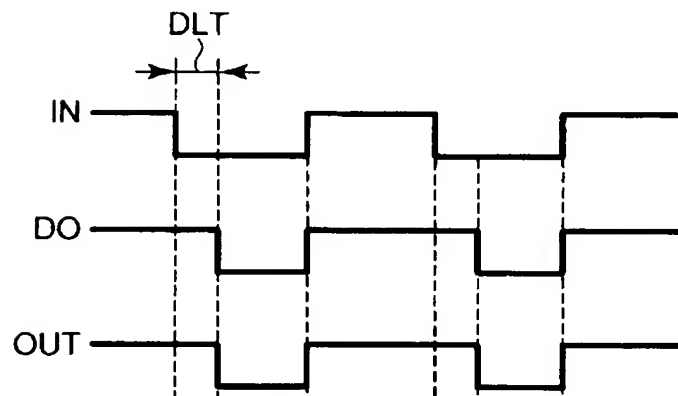
【図 3】



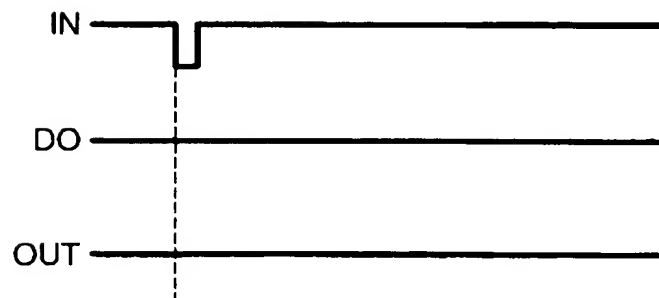
【図 4】



【図 5】



【図 6】



【書類名】 要約書

【要約】

【課題】 遅延回路の起動信号からその出力遅延信号までのトータルな遅延時間を安定化させることが困難であった。

【解決手段】 トランジスタ  $Q_{p1}$  は電源電圧  $V_{CC}$  の供給端子と接続ノード  $MON$  の間に接続され、接続ノード  $MON$  と接地間にトランジスタ  $Q_{n1}$  とトランジスタ  $Q_{ni1}$  が接続される。トランジスタ  $Q_{p1}$ 、 $Q_{n1}$  は入力信号により駆動される。トランジスタ  $Q_{ni1}$  は、定電流  $I_{REF}$  により駆動され、接続ノードに接続されたキャパシタ  $C1$  の電荷を定電流で放電する。差動増幅器 12 は、接続ノード  $MON$  の電位と定電流  $I_{REF}$  に応じた電位を比較し、この比較結果を接続ノード  $AMP_{out}$  から出力する。

【選択図】 図 1



特願 2 0 0 3 - 1 9 2 2 3 2

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 3 0 7 8 ]

1. 変更年月日

1 9 9 0 年 8 月 2 2 日

[変更理由]

新規登録

住 所

神奈川県川崎市幸区堀川町 7 2 番地

氏 名

株式会社東芝

2. 変更年月日

2 0 0 1 年 7 月 2 日

[変更理由]

住所変更

住 所

東京都港区芝浦一丁目 1 番 1 号

氏 名

株式会社東芝